

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-261014

(43)Date of publication of application : 13.09.2002

(51)Int.Cl.

H01L 21/20  
C30B 29/38  
H01L 21/205  
H01L 33/00

(21)Application number : 2001-363030

(71)Applicant : NICHIA CHEM IND LTD

(22)Date of filing : 11.03.1997

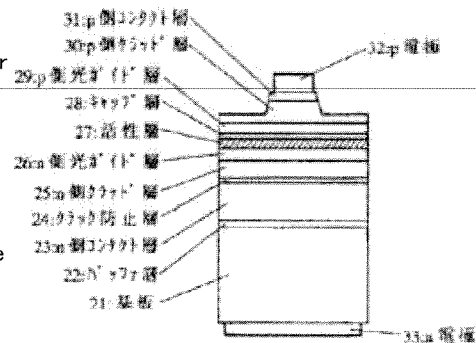
(72)Inventor : OZAKI NORIYA  
NAKAMURA SHUJI

## (54) METHOD OF MANUFACTURING NITRIDE SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a light-emitting element, which uses a nitride semiconductor substrate consisting of a nitride semiconductor film having a good crystallizability and is formed with an electrode on its rear surface, and to provide a nitride semiconductor element such as a light-receiving element.

SOLUTION: A nitride semiconductor substrate is obtained by growing a nitride semiconductor film in a film thickness of 100  $\mu\text{m}$  or thicker on a substrate consisting of a material different from the nitride semiconductor film, and by removing the obtained substrate from the nitride semiconductor film. The surface of the semiconductor substrate is grown into a surface polished until the difference between the recesses and projections of the surface of the semiconductor substrate is reduced to  $\pm 1 \mu\text{m}$  or smaller. The irregularity of the surface is preferred to be  $\pm 0.5 \mu\text{m}$  or smaller. The semiconductor substrate is doped with n-type impurities.



**PARTIAL TRANSLATION OF  
JAPANESE PATENT PUBLICATION No. 2002-261014**

[0005]

[PROBLEMS THAT IS SOLVED BY THE INVENTION] When a nitride semiconductor device used for various electron devices such as an LED device, an LD device, or a light receiving device is manufactured, if a substrate formed of a nitride semiconductor can be used, another nitride semiconductor is grown on the substrate to grow a nitride semiconductor having reduced lattice defects, which extremely improves the crystallinity of the device and provides a device which has not been conventionally provided. Hence, the object of the present invention is to provide a method for manufacturing a substrate formed of a nitride semiconductor having excellent crystallinity and a new method for manufacturing a device using a substrate of a nitride semiconductor.

---

[0019] In the manufacturing method according to the present invention, it is preferable to remove, by polishing, the substrate made of a material different from a nitride semiconductor. For the polishing, impalpable powder of diamond, SiC, etc. is used for an abrasive. Further, an etching method such as dry etching or wet etching is not desirable since it is likely to cause damage to a nitride semiconductor substrate and to take more time than polishing.

[0020] The manufacturing method of a nitride semiconductor device according to the present invention is a manufacturing method of a device using a nitride semiconductor substrate, and the thickness of a different type of substrate is not particularly limited in the device manufacturing method according to the present invention. What is important is the third step in which after the substrate is removed, the surface of the nitride semiconductor substrate is polished until the difference between irregularities on the surface of the nitride semiconductor substrate becomes not greater than  $\pm 1 \mu\text{m}$ . When the difference between irregularities is not smaller than  $\pm 1 \mu\text{m}$ , the quality of the nitride semiconductor to be grown on the nitride semiconductor substrate is likely to be unstable, which makes it impossible to manufacture a device having excellent crystallinity.

[0021] Next, in the first step of the device manufacturing method according to the present invention, although HVPE, MOVPE, MBE, etc. are used for growing a nitride semiconductor on a different type of substrate to not smaller than  $100 \mu\text{m}$ , HVPE and MOVPE are desirably used and HVPE is the most desirably used. An HVPE method makes it easier to rapidly grow a nitride semiconductor substrate with a large thickness. Further, in the fourth step, although an HVPE method may be used for manufacturing a device on the nitride

semiconductor substrate, an MOVPE is the most desirably used. An MOVPE method makes it easier to control the film thickness of a nitride semiconductor, and makes it more difficult to generate cracking than an HVPE method when growing a nitride semiconductor containing Al such as AlGaN. Moreover, since a chloride of Al strongly reacts with quartz glass used for an HVPE device in an HVPE method, growing a nitride semiconductor containing Al is difficult. So, it is the most desirable to form a substrate made of GaN and not containing Al as the nitride semiconductor substrate in the first step.

[0022] Furthermore, in the manufacturing method according to the present invention, the growth surface of the nitride semiconductor is preferably a polished surface of the nitride semiconductor substrate in contact with a substrate made of a material other than the nitride semiconductor. Herein, obviously, a buffer layer grown on the different type of substrate is removed by polishing and the polished surface of the nitride semiconductor substrate from which the buffer layer has been removed is the growth surface. The half width of the X-ray rocking curve of the polished nitride semiconductor substrate is not larger than 5 minutes, preferably not larger than 3 minutes. The half width which evaluates the crystallinity of the nitride semiconductor was practically determined in advance when the nitride semiconductor substrate was grown in the first step. However, regarding the crystallinity of the nitride semiconductor, cracks and crystal defects are likely to be reduced in the nitride semiconductor which is grown in the vicinity of the different type of substrate than in the nitride semiconductor which is grown away from the different type of substrate. So, since the nitride semiconductor at the side where the different type of substrate has been removed has more excellent crystallinity, a nitride semiconductor device having excellent crystallinity is obtained by growing a new nitride semiconductor device on the above side.

[0023]

[Embodiment] The manufacturing method of the nitride semiconductor substrate according to the present invention will be hereinafter described.

[Embodiment 1] (HVPE)

A quartz boat in which Ga metal is put is arranged in the inside of a reactor pipe made of quartz, and an inclined sapphire substrate having a thickness of 1.2 mm and a length of 2 inches  $\varnothing$  is arranged away from the quartz boat. A halogen gas supply pipe is provided close to the Ga metal in the reactor, and an N source supply pipe is provided close to the sapphire substrate separately from the halogen gas supply pipe.

[0024] A nitrogen carrier gas and an HCl gas are mainly flown from the halogen gas pipe. The boat containing Ga metal is heated to a temperature of 900°C and the region in the vicinity of the sapphire substrate is heated to a temperature of 510°C. After that, an HCl

gas and Ga are made to react with each other to generate GaCl<sub>3</sub>, a nitrogen carrier gas and an ammonia gas are mainly supplied from the N source supply pipe located close to the sapphire substrate, and a buffer layer made of GaN is grown to 300 Å above the sapphire substrate.

[0025] After the buffer layer is grown, the temperature of the part in the vicinity of the sapphire substrate is raised to 1050°C, and growing is performed for 10 hours at a rate of 0.5 μm/minute so that GaN is grown to 300 μm.

[0026] Next, the wafer is taken out of the reactor and the GaN wafer is subjected to annealing at a temperature of 1100°C for 5 minutes in a closed container to which a pressure not smaller than the decomposition pressure of GaN is applied. By performing the annealing in a nitrogen atmosphere to which a pressure not smaller than the decomposition pressure of GaN is applied, the crystal defects of GaN are likely to be reduced, whereby improved crystallinity is obtained.

[0027] After the annealing, the wafer is moved to the polishing apparatus, part of the wafer at the sapphire substrate side is subjected to lapping using an abrasive made of diamond so that the sapphire substrate and the buffer layer are removed. Subsequently, the wafer is polished using an abrasive of finer diamond so that a GaN substrate having a thickness of 295 μm is obtained.

[0028] The nitride semiconductor substrate thus obtained is taken out of the polishing apparatus and the irregularities on the polished nitride semiconductor substrate are measured. The measurement result is within ±0.5 μm. Moreover, since the measured half width of the X-ray rocking curve of the polished surface is approximately 3 minutes, it is found that a GaN substrate has excellent crystallinity. Note that SIMS makes it clear that the GaN substrate contains Si in a concentration of not larger than 5×10<sup>17</sup>/cm<sup>3</sup> and O in a concentration of 1×10<sup>16</sup>/cm<sup>3</sup>. These materials perhaps have entered from HCl of the source gas and the quartz reactor.

[0042] [Embodiment 4] Figure 1 is a cross-sectional view illustrating the structure of the laser element obtained in Embodiment 4 which is cut in a direction perpendicular to the resonance direction of laser light. The laser element according to the present invention will be hereinafter described with reference to this drawing.

[0043] After the GaN substrate 21 obtained in Embodiment 1 is set in a reactor of the MOVPE apparatus shown in Figure 2 of Japanese Patent Publication No. H04-164895 and the inside of the reactor is sufficiently replaced with hydrogen, the temperature of the substrate is raised to 1050°C while hydrogen is being flown to clean the substrate.

[0044] After that, the temperature is lowered to 510°C and a buffer layer 22 made of GaN is

grown on the substrate 21 to approximately 200 Å, using hydrogen for a carrier gas and ammonia and TMG for a source gas. The buffer layer 22 is formed by growing Al, N, GaN, AlGaN, InGaN, etc. to dozens to hundreds of angstroms at temperatures of not higher than 900°C. The buffer layer 22 may be omitted depending on a method for growing a nitride semiconductor.

[0045] (n-side contact layer 23) After growth of the buffer layer 22, only TMG is stopped to be flown and the temperature is raised to 1050°C. When the temperature reaches 1050°C, an n-side contact layer doped with Si in a concentration of  $1 \times 10^{19}/\text{cm}^3$  and made of n-type GaN is grown to 4 µm, using a TMA gas, an ammonia gas, and a silane gas.

[0046] (Crack Prevention Layer 24) Next, the temperature is lowered to 800°C, and a crack prevention layer 24 doped with Si in a concentration of  $5 \times 10^{18}/\text{cm}^3$  and made of  $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$  is grown to 500 Å, using TMG, TMI (trimethylindium), and ammonia for a source gas, and a silane gas as an impurity gas. The crack prevention layer 24 is grown of an n-type nitride semiconductor containing In, preferably InGaN so that cracks are prevented from generating in the nitride semiconductor layer containing Al. The crack prevention layer is preferably grown to 100 Å to 0.5 µm. When the crack prevention layer has a thickness smaller than 100 Å, the crack prevention layer has difficulty in preventing cracks, while when the crack prevention layer has a thickness larger than 0.5 µm, the crystals are likely to turn black. The crack prevention layer 24 may be omitted.

[0047] (N-side clad layer 25) Next, a first layer made of n-type  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$  and doped with Si in a concentration of  $1 \times 10^{19}/\text{cm}^3$  is grown to 20 Å at a temperature of 1050 °C, using TMA (trimethyl aluminum), TMG,  $\text{NH}_3$ , and  $\text{SiH}_4$  for source gases. After that, a silane gas and TMA are stopped to be flown and a second layer made of non-doped GaN is grown to 20 Å. Then, a superlattice layer is formed by stacking 100 sets of the first layer and the second layer to obtain an n-side clad layer 25 formed of this superattice layer with a total thickness of 0.4 µm. The superlattice layer obtained by stacking nitride semiconductor layers with different compositions each having a thickness of not larger than 100 Å, more desirably not larger than 70 Å, the most desirably not larger than 40 Å has excellent crystallinity since each of the nitride semiconductor layers has a thickness which is not larger than an elastic critical thickness. So, the life of the laser element is significantly improved by forming a film having excellent crystallinity without cracks thus grown on at least either of the sides of the laser element in the vicinity of the n-type nitride semiconductor layer and the p-type nitride semiconductor layer. Further, the superlattice layer is the most desirably formed as a layer which serves to confine carriers or lights.

[0048] (N-side light guide layer 26) Sequentially, an n-side light guide layer 26 made of

n-type GaN and doped with Si in a concentration of  $5 \times 10^{18}/\text{cm}^3$  is grown to  $0.1 \mu\text{m}$  at a temperature of  $1050^\circ\text{C}$ . The n-side light guide layer 26 functions as a light guide layer of an active layer and is preferably grown of GaN or InGaN to generally have a thickness ranging from  $100 \text{ \AA}$  to  $5 \mu\text{m}$ , more desirably from  $200 \text{ \AA}$  to  $1 \mu\text{m}$ . Further, the light guide layer 26 may be a superlattice layer. When the n-side light guide layer 15 and the n-side clad layer 14 are superlattice layers, a nitride semiconductor layer forming the superlattice layer has an average band gap energy larger than that of the active layer. Further, the first or second layer may be doped with n-type impurities, or may be undoped.

[0049] (Active layer 27) After that, an active layer 16 is grown, using TMG, TMI, ammonia, and silane for source gases. The active layer 16 is kept at a temperature of  $800^\circ\text{C}$  and a well layer made of  $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$  and doped with Si in a concentration of  $8 \times 10^{18}/\text{cm}^3$  is grown to  $25 \text{ \AA}$ . Next, a barrier layer made of  $\text{In}_{0.01}\text{Ga}_{0.99}\text{N}$  and doped with Si in a concentration of  $8 \times 10^{18}/\text{cm}^3$  is grown to  $50 \text{ \AA}$  under the conditions that the mol ratio of TMI is changed and the temperature is kept at  $800^\circ\text{C}$ . This procedure is performed twice and finally an active layer 27 with a multiple quantum-well structure (MQW) of laminated well layers is grown to  $175 \text{ \AA}$ . Impurities to be doped into the active layer may be doped into both of the well layers and the barrier layers, or into either one thereof. Note that the threshold value can reduce when the n-type impurities are doped. When the active layer is made of a multiple quantum-well structure, this is distinguished from a superlattice layer since a well layer with a small band gap energy and a barrier layer with a smaller band gap energy than that of the well layer are inevitably stacked.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-261014

(P2002-261014A)

(43)公開日 平成14年9月13日(2002.9.13)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームコード <sup>*</sup> (参考)
H 0 1 L 21/20		H 0 1 L 21/20	4 G 0 7 7
C 3 0 B 29/38		C 3 0 B 29/38	D 5 F 0 4 1
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 4 5
33/00		33/00	C 5 F 0 5 2

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21)出願番号 特願2001-363030(P2001-363030)  
(62)分割の表示 特願平9-56047の分割  
(22)出願日 平成9年3月11日(1997.3.11)

(71)出願人 000226057  
日亜化学工業株式会社  
徳島県阿南市上中町岡491番地100  
(72)発明者 小崎 徳也  
徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内  
(72)発明者 中村 修二  
徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

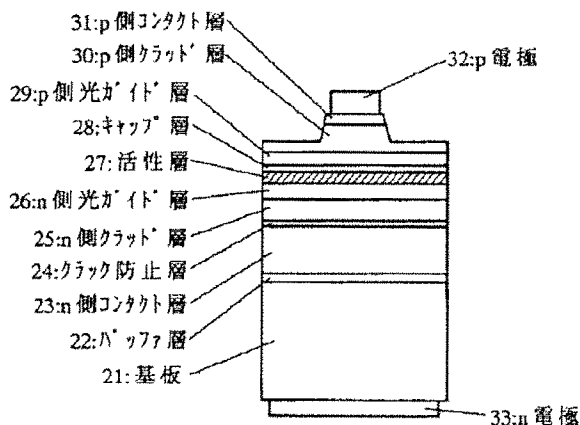
最終頁に続く

(54)【発明の名称】 窒化物半導体素子の製造方法

(57)【要約】

【目的】 結晶性の良い窒化物半導体よりなる窒化物半導体基板を用い裏面に電極を形成した発光素子、受光素子等の窒化物半導体素子を提供する。

【構成】 窒化物半導体と異なる材料よりなる基板の上に、窒化物半導体を100 $\mu$ m以上の膜厚で成長させ、前記基板を除去することによって得られた窒化物半導体基板であり、該窒化物半導体基板の表面の凹凸差が $\pm 1\mu$ m以下になるまで表面研磨した研磨面に成長される。好ましくは、前記表面の凹凸差が $\pm 0.5\mu$ m以下である。前記窒化物半導体基板はn型不純物がドーピングされている。



## 【特許請求の範囲】

【請求項1】 窒化物半導体と異なる材料よりなる基板の上に、窒化物半導体を100 $\mu$ m以上の膜厚で成長させ、前記基板を除去することによって得られた窒化物半導体基板であり、該窒化物半導体基板の表面の凹凸差が $\pm 1\mu$ m以下になるまで表面研磨した研磨面に成長されたことを特徴とする窒化物半導体素子。

【請求項2】 前記表面の凹凸差が $\pm 0.5\mu$ m以下であることを特徴とする請求項1に記載の窒化物半導体素子。

【請求項3】 前記窒化物半導体基板はn型不純物がドーピングされていることを特徴とする請求項1又は2に記載の窒化物半導体素子。

【請求項4】 前記n型不純物はSi、Ge、Sn、Sから成る群から選ばれる少なくとも1つであることを特徴とする請求項3に記載の窒化物半導体素子。

【請求項5】 前記窒化物半導体基板は、2軸結晶法によるX線ロッキングカーブの半値幅が5分以下であることを特徴とする請求項1乃至4に記載の窒化物半導体素子。

【請求項6】 前記窒化物半導体基板は、2軸結晶法によるX線ロッキングカーブの半値幅が3分以下であることを特徴とする請求項1乃至5に記載の窒化物半導体素子。

【請求項7】 前記窒化物半導体素子は、発光素子、受光素子、太陽電池、又は電子デバイスから成る群から選ばれることを特徴とする請求項1乃至6に記載の窒化物半導体素子。

【請求項8】 前記受光素子はLED素子であって、該LED素子の最上層であるp型GaN層にNiとAuを含む正電極を設け、基板裏面側にはWとSiとAuよりなる負電極を設けたことを特徴とする請求項7に記載の窒化物半導体素子。

【請求項9】 前記LED素子は、基板上にSiドーピングのn型GaN層、その上に超格子クラッド層、活性層、その上にp型超格子クラッド層、Mgドーピングのp型GaNの順で形成されることを特徴とする請求項8に記載の窒化物半導体素子。

【請求項10】 前記受光素子はLD素子であって、該LD素子はリッジ形状であって、リッジ最表面にNiとAuよりなるp電極をストライプ状に有し、TiとAlよりなるn電極を基板の裏面の80%以上の面積に有することを特徴とする請求項7に記載の窒化物半導体素子。

【請求項11】 前記LD素子は、基板上にバッファ層、n側コンタクト層、クラック防止層、n側クラッド層、n側光ガイド層、活性層、キャップ層、p側光ガイド層、p側クラッド層、p側コンタクト層の順で形成されていることを特徴とする請求項10に記載の窒化物半導体素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は窒化物半導体(In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>N、0 $\leq$ x、0 $\leq$ y、x+y $\leq$ 1)よりなる基板の製造方法と、窒化物半導体基板を用いた発光ダイオード(LED)、レーザダイオード(LD)等の発光素子、太陽電池、光センサー等の受光素子、あるいはトランジスタ等の電子デバイスに使用される窒化物半導体素子の製造方法に関する。

## 【0002】

【従来の技術】一般に半導体を基板上に成長させる際、その成長させる半導体と格子整合した基板を用いると半導体の結晶欠陥が少なくなつて結晶性が向上することが知られている。しかし、窒化物半導体は格子整合する基板が現在世の中に存在しないことから、一般にサファイア、スピネル、炭化ケイ素のような窒化物半導体と格子整合しない基板の上に成長されている。

【0003】一方、窒化物半導体と格子整合するGaNバルク結晶を作製する試みは、様々な研究機関において成されているが、未だに数ミリ程度のものしか得られたという報告しかされておらず、実用化には程遠い状態である。

【0004】GaN基板を作製する技術として、例えば特開平7-202265号公報、特開平7-165498号に、サファイア基板の上にZnOよりなるバッファ層を形成して、そのバッファ層の上に窒化物半導体を成長させた後、バッファ層を溶解除去する技術が記載されている。しかしながらサファイア基板の上に成長されるZnOバッファ層の結晶性は悪く、そのバッファ層の上に窒化物半導体を成長させても良質の窒化物半導体結晶を得ることは難しい。さらに、薄膜のZnOよりなるバッファ層の上に、基板となるような厚膜の窒化物半導体を連続して成長させることも難しい。

## 【0005】

【発明が解決しようとする課題】LED素子、LD素子、受光素子等の数々の電子デバイスに使用される窒化物半導体素子を作製する際、窒化物半導体よりなる基板を作製することができれば、その基板の上に新たな窒化物半導体を成長させて、格子欠陥が少ない窒化物半導体が成長できるので、それら素子の結晶性が飛躍的に良くなり、従来実現されていなかった素子が実現できるようになる。従つて本発明の目的とするところは、まず結晶性の良い窒化物半導体よりなる基板の製造方法と、窒化物半導体基板を用いた素子の新規な製造方法とを提供することにある。

## 【0006】

【課題を解決するための手段】まず、本発明の窒化物半導体基板の製造方法は、窒化物半導体と異なる材料よりなる厚さ1mm以上の基板の上に、後工程で成長させる窒化物半導体の成長温度より低温で0.3 $\mu$ m以下の膜



厚を有する  $\text{In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 0.3$ ) よりなるバッファ層を成長させた後、窒化物半導体を  $100\mu\text{m}$  以上の膜厚で成長させた後、その基板を除去することを特徴とする。基板としては、サファイア ( $\text{Al}_2\text{O}_3$ ) 若しくはスピネル ( $\text{MgAl}_2\text{O}_4$ ) を用いることが最も望ましい。また成長させる窒化物半導体は  $n$  型不純物をドーブしない (ノンドープ)  $\text{GaN}$  か、若しくは  $n$  型不純物を  $1 \times 10^{19}/\text{cm}^3$  以下の範囲で含む  $\text{GaN}$  を成長させることが最も望ましい。基板の厚さは  $1\text{mm}$  以上のものを使用する必要があり、 $1\text{mm}$  よりも薄いと、成長中に高温のため基板が反って厚膜の窒化物半導体基板を成長できない。

【0007】本発明では窒化物半導体基板の成長法がハイドライド気相成長法 (HVPE) であることを特徴とする。HVPE法とは、ガリウム、アルミニウム、インジウム等の3族元素蒸気と、塩化水素等のハロゲンガスとを反応させて、3族元素の塩化物、臭化物、ヨウ化物等のハロゲン化物を得て、そのハロゲン化物をアンモニア、ヒドラジン等のN源と高温で反応させて窒化物半導体を得る方法である。塩化ガリウムとアンモニアとを反応させて  $\text{GaN}$  を得る方法が、従来より良く用いられる。また基板をMOVPE法で成長させることもできるが、HVPE法に比較して長時間を要する。

【0008】本発明の基板の製法は、窒化物半導体層を成長させる前に、その窒化物半導体層の成長温度よりも低温で  $0.3\mu\text{m}$  以下の膜厚を有する窒化物半導体よりなるバッファ層を成長させることを特徴とする。

【0009】本発明の基板の製法は、成長された窒化物半導体基板は、2軸結晶法によるX線ロッキングカーブの半値幅 (Full Width at Half Maximum、以下、単に半値幅という。) が5分以下であることを特徴とする。半値幅が5分よりも大きいと、窒化物半導体基板の上に成長する新規な窒化物半導体の結晶性が悪くなる。さらに、本発明の基板の製法は、窒化物半導体と異なる材料よりなる前記基板は、研磨によって除去されることを特徴とする。溶解 (ウェットエッチング)、ドライエッチング等の手段では、基板を除去しにくく、窒化物半導体基板にダメージを与えやすい傾向にある。

【0010】本発明の窒化物半導体素子の製造方法は、窒化物半導体と異なる材料よりなる基板の上に、後工程で成長させる窒化物半導体の成長温度より低温で  $0.3\mu\text{m}$  以下の膜厚を有する  $\text{In}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 0.3$ ) よりなるバッファ層を成長させ、その上に窒化物半導体を  $100\mu\text{m}$  以上の膜厚で成長させる第1の工程と、第1の工程後、前記基板を除去することによって窒化物半導体基板を作製する第2の工程と、第2の工程後、表面の凹凸差が  $\pm 1\mu\text{m}$  以下になるまで窒化物半導体基板を研磨する第3の工程と、第3の工程後、窒化物半導体基板の研磨面に新たに窒化物半導体を成長させる第4の工程とを備えることを特徴とする。

【0011】さらに、第1の工程は窒化物半導体をHVPE法で成長させ、前記第4の工程は窒化物半導体を有機金属気相成長法 (MOVPE) で成長させることを特徴とする。MOVPE法とは3族元素の有機金属化合物よりなるガスと、アンモニア、ヒドラジン等の5族元素よりなるガスとを反応させて窒化物半導体を得る方法である。

【0012】窒化物半導体から成る基板上にLED素子を有し、該LED素子は最上層の  $p$  型  $\text{GaN}$  層に  $\text{Ni}$  と  $\text{Au}$  とを含む正電極、基板裏面側に  $\text{W}$  と  $\text{Si}$  と  $\text{Au}$  よりなる負電極を設けたことを特徴とする窒化物半導体素子。前記LED素子は、基板上に  $\text{Si}$  ドープの  $n$  型  $\text{GaN}$  層、その上に  $\text{Si}$  ドープの  $n$  型  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$  層とノンドープの  $\text{GaN}$  層から成る超格子クラッド層、単一量子井戸構造から成る活性層、その上に  $\text{Mg}$  ドープの  $p$  型  $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$  と  $\text{Mg}$  ドープの  $p$  型  $\text{GaN}$  から成る超格子クラッド層、 $\text{Mg}$  ドープの  $p$  型  $\text{GaN}$  の順で形成されることを特徴とする請求項1に記載の窒化物半導体素子。

【0013】窒化物半導体から成る基板上にLD素子を有し、該LD素子はリッジ形状であって、リッジ最表面に  $\text{Ni}$  と  $\text{Au}$  よりなる  $p$  電極をストライプ状に有し、 $\text{Ti}$  と  $\text{Al}$  よりなる  $n$  電極を基板の裏面の80%以上の面積に有することを特徴とする窒化物半導体素子。前記LD素子は、基板上にバッファ層、 $n$  側コンタクト層、クラック防止層、 $n$  側クラッド層、 $n$  側光ガイド層、活性層、キャップ層、 $p$  側光ガイド層、 $p$  側クラッド層、 $p$  側コンタクト層の順で形成されていることを特徴とする請求項3に記載の窒化物半導体素子。前記窒化物半導体は  $100\mu\text{m}$  以上の膜厚を有することを特徴とする請求項1に記載の窒化物半導体素子。

【0014】

【発明の実施の形態】本発明の窒化物半導体基板の製造方法において、異種材料よりなる基板の上に窒化物半導体を成長させるには、ハイドライド気相成長法 (HVPE)、有機金属気相成長法 (MOVPE)、分子線気相成長法 (MBE) 等の気相成長法があるが、 $100\mu\text{m}$  以上の膜厚で成長させるには、好ましくはHVPE法を用いる。MOVPE、MBE法を用いても良いが、 $100\mu\text{m}$  以上の膜厚で成長させるには10時間以上の長時間を要するため、工業的にはあまり好ましくない。

【0015】窒化物半導体基板の製造方法において重要なことは、 $1\text{mm}$  以上の異種基板の上に窒化物半導体を成長させることである。窒化物半導体は通常  $800^\circ\text{C}$  以上、好ましくは  $1000^\circ\text{C}$  以上の温度で成長される。このような高温で窒化物半導体を成長させると、成長中に異種基板が反ってしまう。反った異種基板の上に  $100\mu\text{m}$  以上の厚膜で窒化物半導体を成長させると、成長中に窒化物半導体にクラックが入ってしまい、結晶性の良い窒化物半導体を成長させることができない。しかしな

から、1 mm以上の異種基板を使用することにより、高温においても異種基板が反りにくくなるため、結晶性が良いままで厚膜の窒化物半導体膜を成長できる。基板の厚さは1 mm以上、好ましくは1.2 mm以上、さらに好ましくは1.5 mm以上の基板を用いる。上限としては特に限定するものではないが、3 mm以下のものを用いることが望ましい。3 mmよりも厚いと、後で基板を除去するのに長時間を要する。基板としては、サファイア、スピネル、ZnO、GaAs、Si、GaP、SiC等が挙げられるが、先にも述べたように、サファイア、スピネルは高温に対しても非常に安定であり、窒化物半導体を厚膜で成長させるのに適している。異種基板の上に成長させる窒化物半導体は100  $\mu$ m以上で、できるだけ厚く成長させることが望ましい。好ましくは150  $\mu$ m以上、さらに好ましくは200  $\mu$ m以上の膜厚で成長させる。上限については500  $\mu$ m以下が望ましい。500  $\mu$ m以上で成長させると窒化物半導体中に再びクラックが入りやすくなって結晶性が悪くなる傾向にある。

【0016】さらに、異種基板の上に窒化物半導体層を成長させる前に、窒化物半導体層の成長温度よりも低温で0.3  $\mu$ m以下の膜厚を有するバッファ層を成長させると結晶性の良い窒化物半導体が成長できる。バッファ層としては例えばGa<sub>1-x</sub>N、AlGa<sub>1-x</sub>N、AlN、InGa<sub>1-x</sub>N等を成長させるが、好ましくはGa<sub>1-x</sub>N、Al組成Yが0.5以下のAl<sub>1-y</sub>Ga<sub>1-y</sub>N、またIn組成Xが0.3以下のIn<sub>x</sub>Ga<sub>1-x</sub>Nを成長させることが望ましい。成長温度は窒化物半導体の成長温度よりも低温で成長させ、例えば200℃～900℃の範囲でバッファ層を成長させることができる。

【0017】異種基板の上に成長させる窒化物半導体は、ノンドープのGa<sub>1-x</sub>N、若しくはn型不純物を1×10<sup>19</sup>/cm<sup>3</sup>以下の範囲で含むGa<sub>1-x</sub>Nを成長させると、最も結晶性の良い窒化物半導体基板を作製できる。n型不純物濃度は1×10<sup>19</sup>/cm<sup>3</sup>を超えると結晶性が悪くなり、窒化物半導体のX線ロッキングカーブの半値幅も長くなるし、また結晶中にクラックが入りやすくなる。但し、HVPE法のような反応容器に石英ガラスを用いる方法では、石英からの不純物としてSi、O等のn型不純物が混入する。しかしながら、不純物の混入をできるだけ少なくして前記範囲に抑えることにより結晶性の良い窒化物半導体基板が作製できる。一方、MOVPE法を用いて意図的にドーピングする不純物としては第4族元素、例えばSi、Ge、Sn、S等が挙げられる。

【0018】さらに、窒化物半導体のX線ロッキングカーブの半値幅が5分以内、さらに望ましくは3分以内の窒化物半導体結晶を成長させることにより、異種基板を除去する工程においても、窒化物半導体層にダメージを与えにくく、100  $\mu$ m以上の窒化物半導体が良好な結晶性を保ったまま、新規な窒化物半導体素子を作製する

際の基板として用いることができる。

【0019】本発明の基板の製造方法では、窒化物半導体と異なる材料よりなる基板を、研磨によって除去することが望ましい。研磨にはダイヤモンド、SiC等の微粉末を研磨剤に用いる。一方、ドライエッチング、ウェットエッチング等の、エッチング手段では窒化物半導体基板にダメージを与えやすい傾向にあり、研磨に比較してさらに長時間を要するため、あまり好ましくはない。

【0020】一方、本発明の窒化物半導体素子の製造方法は、窒化物半導体基板を用いた素子の製造方法であり、本発明の素子の製造方法では異種基板の厚さは特に限定しない。重要なことは、基板を除去した後に、窒化物半導体基板の表面の凹凸差が±1  $\mu$ m以下になるまで窒化物半導体基板表面を研磨する第3の工程である。凹凸差が±1  $\mu$ m以上あると、窒化物半導体基板の上に成長させる窒化物半導体の膜質が不安定になりやすく、結晶性の良い素子が作製できない。

【0021】次に、本発明の素子の製造方法の第1の工程において、異種基板の上に窒化物半導体を100  $\mu$ m以上成長させるには、HVPE、MOVPE、MBE等があるが、好ましくはHVPE、MOVPEを用い、最も好ましくはHVPE法で成長させる。HVPE法であれば、迅速に厚膜の窒化物半導体基板が成長させやすい。また前記第4の工程において、窒化物半導体基板の上に素子を作製するには、HVPE方を用いても良いが、最も好ましくはMOVPE法を用いる。MOVPEは窒化物半導体の膜厚を制御しやすく、さらに、AlGa<sub>1-x</sub>NのようなAlを含む窒化物半導体を成長させる際に、HVPE方に比べてクラックが入りにくくできる。さらにHVPE方ではAlの塩化物はHVPE装置に使用される石英ガラスと激しく反応するため、Alを含む窒化物半導体を成長させることは困難である。そのため、第1の工程の窒化物半導体基板はAlを含まないGa<sub>1-x</sub>Nよりなる基板を作製することが最も望ましい。

【0022】さらに、本発明の製造方法において、好ましくは窒化物半導体の成長面を、窒化物半導体と異なる材料よりなる基板が接していた窒化物半導体基板の研磨面とする。この際、異種基板の上に成長させてあるバッファ層は研磨によって除去し、バッファ層を除去した窒化物半導体基板の研磨面を成長面とすることは当然である。なお研磨後の窒化物半導体基板のX線ロッキングカーブの半値幅は5分以下、さらに好ましくは3分以下であることが望ましい。窒化物半導体の結晶性を評価するこの半値幅は、予め第1の工程において窒化物半導体基板を成長させた時にほとんど決まっている。しかしながら、異種基板に近い側に成長させた側の窒化物半導体の結晶性は、異種基板に遠くに成長させた窒化物半導体よりもクラックが少なく、さらに結晶欠陥が少ない傾向にある。そのため、異種基板を除去した側の方の窒化物半導体の結晶が良くなるため、その側を新たな窒化物半導

体素子の成長面とすることにより結晶性の良い窒化物半導体素子が得られる。

#### 【0023】

【実施例】以下、本発明の窒化物半導体基板の製造方法を説明する。

##### 〔実施例1〕（HVPE）

石英よりなる反応容器管の内部にGaメタルを入れた石英ボートを設置する。さらに石英ボートから離れた位置に、斜めに傾けた厚さ1.2mm、2インチφのサファイア基板を設置する。なお、反応容器内のGaメタルに接近した位置にはハロゲンガス供給管が設けられ、ハロゲンガス供給間とは別に、サファイア基板に接近した位置にはN源供給管が設けられている。

【0024】ハロゲンガス管より窒素キャリアガスと主に、HClガスをガスを導入する。この際Gaメタルのボートは900℃に加熱し、サファイア基板側は510℃に加熱してある。そして、HClガスとGaを反応させてGaCl<sub>3</sub>を生成させ、サファイア基板側に接近したN源供給管からはアンモニアガスを同じく窒素キャリアガスと主に供給し、サファイア基板上にGa<sub>0.5</sub>Nよりなるバッファ層を300オングストロームの膜厚で成長させる。

【0025】バッファ層成長後、サファイア基板側の温度を1050℃に上昇させ、成長速度0.5μm/分で10時間成長を行い、厚さ300μmのGa<sub>0.5</sub>Nを成長させる。

【0026】成長後、ウェーハを反応容器から取り出し、さらにGa<sub>0.5</sub>NウェーハをGa<sub>0.5</sub>Nの分解圧以上に加圧した密閉容器中で、1100℃で5分間アニーリングする。このように、Ga<sub>0.5</sub>Nの分解圧以上に加圧した窒素雰囲気中でアニーリングすることによりGa<sub>0.5</sub>Nの結晶欠陥が少なくなって結晶性が良くなる傾向にある。

【0027】アニーリング後、ウェーハを研磨装置に移送し、ダイヤモンド研磨剤を用いて、サファイア基板側をラッピングし、サファイア基板とバッファ層を除去する。続いて、さらに細かいダイヤモンド研磨剤を用いてポリシングして、厚さ295μmのGa<sub>0.5</sub>N基板を得る。

【0028】以上のようにして得られた窒化物半導体基板を研磨装置より取り出し、研磨側の窒化物半導体基板の凹凸を測定したところ、±0.5μm以内であった。さらに研磨面からX線ロッキングカーブの半値幅を測定するとおよそ3分であり、結晶性の良いGa<sub>0.5</sub>N基板が得られていることが判明した。なおこのGa<sub>0.5</sub>N基板には不純物としてSiが $5 \times 10^{17}/\text{cm}^3$ 以下、Oが $1 \times 10^{16}/\text{cm}^3$ 以下含まれていることがSIMSにより判明した。これは原料ガスのHCl、及び石英反応容器から混入したものと推察される。

##### 【0029】〔実施例2〕（MOVPE）

特開平4-164895号公報、第2図に示すMOVPE装置を用い、厚さ1.0mm、2インチφのサファイ

A（C面）基板を、この装置の反応容器内にセットし、容器内を水素で十分置換した後、水素を流しながら、基板の温度を1050℃まで上昇させ、基板のクリーニングを行う。

【0030】続いて、温度を510℃まで下げ、キャリアガスに水素、原料ガスにアンモニアとTMG（トリメチルガリウム）とを用い、基板上にGa<sub>0.5</sub>Nよりなるバッファ層を200オングストロームの膜厚で成長させる。

【0031】次に、温度を1050℃まで上昇させ、原料ガスにTMG、アンモニアを用い、成長速度0.1μm/分で、24時間成長させ、膜厚144μmのノンドープGa<sub>0.5</sub>N層を成長させる。

【0032】成長後、ウェーハを反応容器から取り出し、実施例1と同様にして、Ga<sub>0.5</sub>NウェーハをGa<sub>0.5</sub>Nの分解以上に加圧した密閉容器中で、1100℃で5分間アニーリングした後、サファイア基板側をラッピング、ポリシングして、厚さ140μmのGa<sub>0.5</sub>N基板を得る。さらに、研磨側の窒化物半導体基板の凹凸を測定したところ、±0.5μm以内であった。さらに研磨面からX線ロッキングカーブの半値幅を測定するとおよそ2分であり、結晶性の良いGa<sub>0.5</sub>N基板が得られていることが判明した。

【0033】〔比較例1〕実施例1において、厚さ900μmのサファイア基板を用いる他は、同様にしてGa<sub>0.5</sub>Nを成長させたところ、研磨側のGa<sub>0.5</sub>N層のX線ロッキングカーブの半値幅が8分であり、実施例1に比較して、Ga<sub>0.5</sub>N基板の結晶性が倍以上劣っていることが判明した。さらに、800μmのものは成長中に基板が割れてしまった。

【0034】次に、以下の実施例は本発明の素子について説明する。

〔実施例3〕実施例1で得られたGa<sub>0.5</sub>N基板を特開平4-164895号公報、第2図に示すMOVPE装置を用い、この装置の反応容器内にセットし、1050℃にて、Siを $1 \times 10^{19}/\text{cm}^3$ ドープしたn型Ga<sub>0.5</sub>N層を5μmの膜厚で成長させる。なお、n型Ga<sub>0.5</sub>Nの成長面は、基板研磨面であることは言うまでもない。

【0035】次に、n型Ga<sub>0.5</sub>Nの上に、Siを $1 \times 10^{19}/\text{cm}^3$ ドープしたn型Al<sub>0.2</sub>Ga<sub>0.8</sub>Nよりなる第1の層を20オングストロームの膜厚で成長させ、続いてノンドープのGa<sub>0.5</sub>Nよりなる第2の層を20オングストロームの膜厚で成長させ、総膜厚0.4μmの超格子よりなるn側クラッド層を成長させる。このようにn型窒化物半導体層を含む超格子層を活性層を成長させる前に成長させることにより窒化物半導体素子の出力が飛躍的に向上する。

【0036】次に800℃で、In<sub>0.4</sub>Ga<sub>0.6</sub>Nよりなる膜厚30オングストロームの単一量子井戸構造よりなる活性層を成長させる。

【0037】次に、活性層の上にMgを $1 \times 10^{20}/\text{cm}^3$

3ドープしたp型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ よりなる第1の層を200Åの膜厚で成長させ、続いてMgを $1 \times 10^{19}/\text{cm}^3$ ドープしたp型Ga $\text{N}$ よりなる第2の層を200Åの膜厚で成長させ、総膜厚0.4μmの超格子よりなるp側クラッド層を成長させる。このようにp型窒化物半導体層を含む超格子層を活性層を成長させた後に成長させることにより窒化物半導体素子の出力が飛躍的に向上する。なお超格子層はn型層側、p型層側のいずれか一方、若しくは両方の層に存在させることができる。

【0038】次にこのp側クラッド層5の上にMgを $1 \times 10^{20}/\text{cm}^3$ ドープしたp型Ga $\text{N}$ 層を0.5μmの膜厚で成長させる。

【0039】反応終了後、温度を室温まで下げ、さらに窒素雰囲気中、ウェーハを反応容器内において、700℃でアニーリングを行い、p型層をさらに低抵抗化する。

【0040】アニーリング後、ウェーハを反応容器から取り出し、最上層のp型Ga $\text{N}$ 層にNiとAuとを含む正電極、基板裏面側にWとSiとAuよりなる負電極とを設けた後、350μm角のチップに分離してLED素子としたところ、If 20mAにおいて520nmの緑色発光を示し、Vfは3.2V、出力は8mWもあった。

【0041】〔比較例2〕実施例1で得られたGa $\text{N}$ 基板の研磨面の凹凸が±1.5μmのものを用いる他は実施例3と同様にしてLED素子を作製したところ、同じくIf 20mAにおいて、Vf 3.2Vであったが、出力が3mWでしかなかった。これは基板凹凸が直接窒化物半導体の結晶性に影響したものであると推定する。

【0042】〔実施例4〕図1は実施例4により得られたレーザ素子の構造を示す模式的な断面図であり、レーザ光の共振方向に垂直な方向で素子を切断した際の図を示している。以下、この図面を元に本発明のレーザ素子について説明する。

【0043】実施例1で得られたGa $\text{N}$ 基板21を、特開平4-164895号公報、第2図に示すMOVPE装置の反応容器内にセットし、容器内を水素で十分置換した後、水素を流しながら、基板の温度を1050℃まで上昇させ、基板のクリーニングを行う。

【0044】続いて、温度を510℃まで下げ、キャリアガスに水素、原料ガスにアンモニアとTMGを用い、基板21上にGa $\text{N}$ よりなるバッファ層22を約200Åの膜厚で成長させる。バッファ層22はAl $\text{N}$ 、Ga $\text{N}$ 、AlGa $\text{N}$ 、InGa $\text{N}$ 等が900℃以下の温度で、膜厚数十Å～数百Åで形成できる。このバッファ層は窒化物半導体の成長方法によっては省略することも可能である。

【0045】(n側コンタクト層23) バッファ層22成長後、TMGのみ止めて、温度を1050℃まで上昇

させる。1050℃になったら、TMAとアンモニア、シランガスを用い、Siを $1 \times 10^{19}/\text{cm}^3$ ドープしたn型Ga $\text{N}$ よりなるn側コンタクト層4μmの膜厚で成長させる。

【0046】(クラック防止層24) 次に、温度を800℃にして、原料ガスにTMG、TMI (トリメチルインジウム)、アンモニア、不純物ガスにシランガスを用い、Siを $5 \times 10^{18}/\text{cm}^3$ ドープしたIn $_{0.1}$ Ga $_{0.9}$ Nよりなるクラック防止層24を500Åの膜厚で成長させる。このクラック防止層24はInを含むn型の窒化物半導体、好ましくはInGa $\text{N}$ で成長させることにより、Alを含む窒化物半導体層中にクラックが入るのを防止することができる。なおこのクラック防止層は100Å以上、0.5μm以下の膜厚で成長させることが好ましい。100Åよりも薄いと前記のようにクラック防止として作用しにくく、0.5μmよりも厚いと、結晶自体が黒変する傾向にある。なお、このクラック防止層24は、省略することもできる。

【0047】(n側クラッド層25) 次に、温度を1050℃にして、原料ガスにTMA (トリメチルアルミニウム)、TMG、NH $_3$ 、SiH $_4$ を用い、Siを $1 \times 10^{19}/\text{cm}^3$ ドープしたn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ よりなる第1層を200Åの膜厚で成長させ、続いてシランガス、TMAを止め、ノンドープのGa $\text{N}$ よりなる第2層を200Åの膜厚で成長させる。そして第1層+第2層+第1層+第2層+・・・というように超格子層を構成し、それぞれ第1層を100層、第2層を100層交互に積層し、総膜厚0.4μmの超格子よりなるn側クラッド層25を形成する。このように単一膜厚が100Å以下、さらに好ましくは70Å以下、最も好ましくは40Å以下の互いに組成が異なる窒化物半導体を積層した超格子層は、その単一層が弾性臨界膜厚以下となっているため、結晶性が非常に良くなる。そのためクラックの入っていない非常に結晶性の良い膜が成長できるためレーザ素子の、n型窒化物半導体層側及びp型窒化物半導体層側の少なくとも一方の層側に形成することによりレーザ素子の寿命が飛躍的に良くなる。なお、超格子層はキャリア閉じ込め、若しくは光閉じ込め層として作用する層に形成することが最も望ましい。

【0048】(n側光ガイド層26) 続いて、1050℃でSiを $5 \times 10^{18}/\text{cm}^3$ ドープしたn型Ga $\text{N}$ よりなるn側光ガイド層26を0.1μmの膜厚で成長させる。このn側光ガイド層26は、活性層の光ガイド層として作用し、Ga $\text{N}$ 、InGa $\text{N}$ を成長させることが望ましく、通常100Å～5μm、さらに好ましくは200Å～1μmの膜厚で成長させることが望ましい。なお、この光ガイド層26も超格子層にすることができる。n側光ガイド層15、n

側クラッド層14を超格子層にする場合、超格子層を構成する窒化物半導体層の平均的なバンドギャップエネルギーは活性層よりも大きくする。超格子層とする場合には、第1の層及び第2の層の少なくとも一方にn型不純物をドーピングしてもよいし、またノンドープでも良い。

【0049】(活性層27)次に、原料ガスにTMG、TMI、アンモニア、シランガスを用いて活性層16を成長させる。活性層16は温度を800℃に保持して、まずSiを $8 \times 10^{18}/\text{cm}^3$ でドーピングした $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ よりなる井戸層を250Åの膜厚で成長させる。次にTMIのモル比を変化させるのみで同一温度で、Siを $8 \times 10^{18}/\text{cm}^3$ ドーピングした $\text{In}_{0.01}\text{Ga}_{0.99}\text{N}$ よりなる障壁層を50Åの膜厚で成長させる。この操作を2回繰り返し、最後に井戸層を積層した総膜厚175Åの多重量子井戸構造(MQW)の活性層27を成長させる。活性層にドーピングする不純物は本実施例のように井戸層、障壁層両方にドーピングしても良く、いずれか一方にドーピングしてもよい。なおn型不純物をドーピングすると閾値が低下する傾向にある。なお活性層を多重量子井戸構造とする場合には必ずバンドギャップエネルギーの小さい井戸層と、井戸層よりもバンドギャップエネルギーが小さい障壁層とを積層するため、超格子層とは区別する。

【0050】(キャップ層28)次に、温度を1050℃に上げ、TMG、TMA、アンモニア、 $\text{Cp}_2\text{Mg}$ (シクロペンタジエニルマグネシウム)を用い、活性層27よりもバンドギャップエネルギーが大きく、Mgを $1 \times 10^{20}/\text{cm}^3$ ドーピングしたp型 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ よりなるキャップ層28を300Åの膜厚で成長させる。このキャップ層28はp型不純物をドーピングしたが、膜厚が薄いため、n型不純物をドーピングしてキャリアが補償されたi型としても良く、最も好ましくはp型不純物をドーピングした層とする。キャップ層28の膜厚は0.1μm以下、さらに好ましくは500Å以下に調整する。0.1μmより厚い膜厚で成長させると、キャップ層28中にクラックが入りやすくなり、結晶性の良い窒化物半導体層が成長しにくいからである。またキャリアがこのエネルギーバリアをトンネル効果により通過できなくなる。また、Alの組成比が大きい $\text{AlGaIn}$ 程薄く形成するとLD素子は発振しやすくなる。例えば、Y値が0.2以上の $\text{Al}_Y\text{Ga}_{1-Y}\text{N}$ であれば500Å以下に調整することが望ましい。キャップ層28の膜厚の下限は特に限定しないが、100Å以上の膜厚で形成することが望ましい。

【0051】(p側光ガイド層29)続いて1050℃で、バンドギャップエネルギーがキャップ層28よりも小さい、Mgを $1 \times 10^{20}/\text{cm}^3$ ドーピングしたp型GaInよりなるp側光ガイド層29を0.1μmの膜厚で成長

させる。この層は、活性層の光ガイド層として作用し、n側光ガイド層15と同じくGaIn、InGaInで成長させることが望ましい。また、この層はp側クラッド層を成長させる際のバッファ層としても作用し、100Å Ongストローム～5μm、さらに好ましくは200Å Ongストローム～1μmの膜厚で成長させることにより、好ましい光ガイド層として作用する。このp側光ガイド層は通常はMg等のp型不純物をドーピングしてp型の導電型とするが、特に不純物をドーピングしなくても良い。なお、このp側光ガイド層を超格子層とすることもできる。超格子層とする場合には第1の層及び第2の層の少なくとも一方にp型不純物をドーピングしてもよいし、またp型不純物をドーピングしないノンドープでも良い。

【0052】(p型超格子層=p側クラッド層30)続いて、1050℃でMgを $1 \times 10^{20}/\text{cm}^3$ ドーピングしたp型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ よりなる第1の層を20Å Ongストロームの膜厚で成長させ、続いてTMAのみを止め、Mgを $1 \times 10^{20}/\text{cm}^3$ ドーピングしたp型GaInよりなる第2の層を20Å Ongストロームの膜厚で成長させる。そしてこの操作をそれぞれ100回繰り返し、総膜厚0.4μmの超格子層よりなるp側クラッド層30を形成する。この層はn側クラッド層25と同じくキャリア閉じ込め層として作用し、特にp型層の抵抗率を低下させるための層として作用する。このp側クラッド層の膜厚も特に限定しないが、100Å Ongストローム以上、2μm以下、さらに好ましくは500Å Ongストローム以上、1μm以下で成長させることが望ましい。

【0053】本実施例のようにInGaInよりなる量子構造の井戸層を有する活性層の場合、その活性層27に接して、膜厚0.1μm以下のAlを含む窒化物半導体よりなるp型キャップ層28を設け、そのp型キャップ層28よりも活性層から離れた位置に、p型キャップ層28よりもバンドギャップエネルギーが小さいp側光ガイド層29を設け、そのp側光ガイド層29よりも活性層から離れた位置に、p側光ガイド層29よりもバンドギャップが大きいAlを含む窒化物半導体を含む超格子層よりなるp側クラッド層30を設けることは非常に好ましい。しかもp型キャップ層17の膜厚を0.1μm以下と薄く設定してあるため、キャリアのバリアとして作用することはなく、p層から注入された正孔が、トンネル効果によりp型キャップ層17を通り抜けることができ、活性層で効率よく再結合し、LDの出力が向上する。つまり、注入されたキャリアは、p型キャップ層17のバンドギャップエネルギーが大きいと、半導体素子の温度が上昇しても、あるいは注入電流密度が増えても、キャリアは活性層をオーバーフローせず、p型キャップ層17で阻止されるため、キャリアが活性層に貯まり、効率よく発光することが可能となる。従って、半導体素子が温度上昇しても発光効率が低下することが少ないので、閾値電流の低いLDを実現することができ

る。

【0054】(p側コンタクト層31)最後に、1050℃で、p側クラッド層30の上に、Mgを $2 \times 10^{20} / \text{cm}^3$ ドープしたp型GaNよりなるp側コンタクト層31を150オングストロームの膜厚で成長させる。p側コンタクト層31はp型の $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$

( $0 \leq x, 0 \leq y, x+y \leq 1$ )で構成することができ、好ましくはMgをドープしたGaNとすれば、p電極32と最も好ましいオーミック接触が得られる。なお、p側コンタクト層31も超格子層とすることもできる。超格子層とする場合には、特にバンドギャップエネルギーが異なる第1の層と第2の層とを積層し、第1+第2+第1+第2+・・・というように積層していき、最後にバンドギャップエネルギーが小さい方の層が露出するようにすると、p電極32と好ましいオーミック接触が得られる。p電極32の材料としては、例えばNi、Pd、Ni/Au等を挙げることができる。また本発明の素子ではp型 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ を含むp側クラッド層30に接して、バンドギャップエネルギーの小さい窒化物半導体をp側コンタクト層31として、その膜厚を400オングストローム以下と薄くしているために、実質的にp側コンタクト層30のキャリア濃度が高くなりp電極32と好ましいオーミックが得られて、素子の閾値電流、電圧が低下する。

【0055】反応終了後、温度を室温まで下げ、さらに窒素雰囲気中、ウェーハを反応容器内において、700℃でアニーリングを行い、p型層をさらに低抵抗化する。

【0056】アニーリング後、ウェーハを反応容器から取り出し、図1に示すように、RIE装置により最上層のp側コンタクト層31と、p側クラッド層30とをエッチングして、4μmのストライプ幅を有するリッジ形状とする。このように、活性層よりも上部にあるp側の層をストライプ状のリッジ形状とすることにより、活性層の発光がストライプリッジの下に集中するようになって閾値が低下する。特に活性層よりも上にあるAlを含むp型窒化物半導体層以上の層をリッジ形状とすることが好ましい。

【0057】次にp側コンタクト層31のリッジ最表面にNiとAuよりなるp電極32をストライプ状に形成する。一方、TiとAlよりなるn電極33を基板21の裏面のほぼ全面に形成する。なおほぼ全面とは80%以上の面積をいう。

【0058】電極形成後、電極裏面側をスクライプし

て、ストライプ状のp電極32に垂直な方向でバー状に劈開し、劈開面に共振器を作製する。なお劈開面は窒化物半導体のM面(101-0)とする。さらに、共振器面に $\text{SiO}_2$ と $\text{TiO}_2$ よりなる誘電体超格子を形成し、最後にp電極に平行な方向で、バーを切断してレーザチップとした。次にチップをフェースアップ(基板とヒートシンクとが対向した状態)でヒートシンクに設置し、それぞれの電極をワイヤーボンディングして、室温でレーザ発振を試みたところ、室温において、閾値電流密度 $2.5 \text{ kA} / \text{cm}^2$ 、閾値電圧4.2Vで、発振波長405nmの連続発振が確認され、100時間以上の寿命を示した。

【0059】

【発明の効果】以上説明したように、本発明の方法によると、従来では作製できなかったGaN基板ができるようになるので、GaN素子が従来のように絶縁性基板を使用しなくても良くなる。そのため同一面側に正電極と負電極とを取り出すフリップチップ形式ではなくて、GaAsを基板にしたデバイスのように基板側から電極が取り出せる構造となる。この窒化物半導体素子を発光デバイスにした際には、他の基板側から電極が取り出される構造のデバイスと同じ構造にできるため、端面発光型ディスプレイのような高精細画面も実現できる。またレーザ素子のような高温デバイスに使用した場合には、素子の結晶性、放熱性が良くなり素子寿命が飛躍的に向上する。

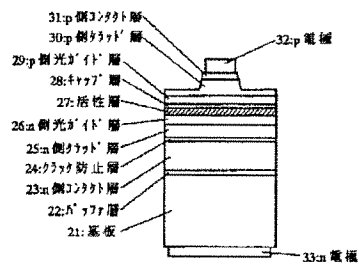
【図面の簡単な説明】

【図1】 本発明の一実施例に係るレーザ素子の構造を示す模式断面図。

【符号の説明】

- 21・・・GaN基板
- 22・・・バッファ層
- 23・・・n側コンタクト層
- 24・・・クラック防止層
- 25・・・n側クラッド層(超格子層)
- 26・・・n側光ガイド層
- 27・・・活性層
- 28・・・キャップ層
- 29・・・p側光ガイド層
- 30・・・p側クラッド層(超格子層)
- 31・・・p側コンタクト層
- 32・・・p電極
- 33・・・n電極

【図1】



フロントページの続き

F ターム(参考) 4G077 AA02 AA03 BE15 DB05 DB08  
 ED06 FJ03 HA02 TA04 TB03  
 TB05 TK01 TK11  
 5F041 CA04 CA05 CA40 CA56 CA57  
 CA77 CA82 CA85  
 5F045 AA04 AB09 AB14 AB17 AC01  
 AC03 AC07 AC08 AC12 AC13  
 AD06 AD07 AD08 AD09 AD10  
 AD11 AD12 AD13 AD14 AF09  
 BB12 CA10 CA13 CB10 DA53  
 DA54 DA55 DA62 DP07 DQ08  
 EB15 GH09 HA16  
 5F052 JA07 JA08 JA09 KA02 KA03  
 KA05

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 8 月 25 日 (2005. 8. 25)

【公開番号】特開 2002-261014 (P2002-261014A)

【公開日】平成 14 年 9 月 13 日 (2002. 9. 13)

【出願番号】特願 2001-363030 (P2001-363030)

【国際特許分類第 7 版】

H01L 21/20

C30B 29/38

H01L 21/205

H01L 33/00

【F I】

H01L 21/20

C30B 29/38 D

H01L 21/205

H01L 33/00 C

【手続補正書】

【提出日】平成 17 年 2 月 22 日 (2005. 2. 22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【書類名】明細書

【発明の名称】窒化物半導体基板、及びその基板を用いた窒化物半導体素子

【特許請求の範囲】

【請求項 1】 窒化物半導体と異なる材料よりなる基板の上に、窒化物半導体を 100  $\mu\text{m}$  以上の膜厚で成長させ、前記基板を除去することによって得られた窒化物半導体基板であり、該窒化物半導体基板の表面の凹凸差が  $\pm 1 \mu\text{m}$  以下になるまで表面研磨したことを特徴とする窒化物半導体基板。

【請求項 2】 前記表面の凹凸差が  $\pm 0.5 \mu\text{m}$  以下であることを特徴とする請求項 1 に記載の窒化物半導体基板。

【請求項 3】 前記窒化物半導体基板は n 型不純物がドーピングされていることを特徴とする請求項 1 又は 2 に記載の窒化物半導体基板。

【請求項 4】 前記 n 型不純物は Si、Ge、Sn、S、O から成る群から選ばれる少なくとも 1 つであることを特徴とする請求項 3 に記載の窒化物半導体基板。

【請求項 5】 前記窒化物半導体基板は 2 軸結晶法による X 線ロックアップカーブの半値幅が 5 分以下であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の窒化物半導体基板。

【請求項 6】 前記窒化物半導体基板は 2 軸結晶法による X 線ロックアップカーブの半値幅が 3 分以下であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の窒化物半導体基板。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の窒化物半導体基板の研磨面上に成長されたことを特徴とする窒化物半導体素子。

【請求項 8】 前記窒化物半導体素子は、発光素子、受光素子、太陽電池、又は電子デバイスから成る群から選ばれることを特徴とする請求項 7 に記載の窒化物半導体素子。

【請求項 9】 前記窒化物半導体素子は n 電極を前記窒化物半導体基板の裏面の 80% 以上の面積に有することを特徴とする請求項 7 又は 8 に記載の窒化物半導体素子。



【請求項 10】 前記窒化物半導体素子は前記窒化物半導体基板上に n 型窒化物半導体層、活性層、p 型窒化物半導体層を順に積層したものであって、前記 n 型窒化物半導体層には n 型超格子層を有することを特徴とする請求項 7 に記載の窒化物半導体素子。

【請求項 11】 前記窒化物半導体素子は前記窒化物半導体基板上に n 型窒化物半導体層、活性層、p 型窒化物半導体層を順に積層したものであって、前記 p 型窒化物半導体層には p 型超格子層を有することを特徴とする請求項 7 に記載の窒化物半導体素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は窒化物半導体 ( $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 、 $0 \leq x$ 、 $0 \leq y$ 、 $x+y \leq 1$ ) よりなる基板と、窒化物半導体基板を用いた発光ダイオード (LED)、レーザダイオード (LD) 等の発光素子、太陽電池、光センサー等の受光素子、あるいはトランジスタ等の電子デバイスに使用される窒化物半導体素子に関する。

【0002】

【従来の技術】

一般に半導体を基板上に成長させる際、その成長させる半導体と格子整合した基板を用いると半導体の結晶欠陥が少なくなつて結晶性が向上することが知られている。しかし、窒化物半導体は格子整合する基板が現在世の中に存在しないことから、一般にサファイア、スピネル、炭化ケイ素のような窒化物半導体と格子整合しない基板の上に成長されている。

【0003】

一方、窒化物半導体と格子整合する GaN バルク結晶を作製する試みは、様々な研究機関において成されているが、未だに数ミリ程度のものしか得られたという報告しかされておらず、実用化には程遠い状態である。

【0004】

GaN 基板を作製する技術として、例えば特開平 7-202265 号公報、特開平 7-165498 号に、サファイア基板の上に ZnO よりなるバッファ層を形成して、そのバッファ層の上に窒化物半導体を成長させた後、バッファ層を溶解除去する技術が記載されている。しかしながらサファイア基板の上に成長される ZnO バッファ層の結晶性は悪く、そのバッファ層の上に窒化物半導体を成長させても良質の窒化物半導体結晶を得ることは難しい。さらに、薄膜の ZnO よりなるバッファ層の上に、基板となるような厚膜の窒化物半導体を連続して成長させることも難しい。

【0005】

【発明が解決しようとする課題】

LED 素子、LD 素子、受光素子等の数々の電子デバイスに使用される窒化物半導体素子を作製する際、窒化物半導体よりなる基板を作製することができれば、その基板の上に新たな窒化物半導体を成長させて、格子欠陥が少ない窒化物半導体が成長できるので、それら素子の結晶性が飛躍的に良くなり、従来実現されていなかった素子の実現できるようになる。従つて本発明の目的とするところは、まず結晶性の良い窒化物半導体よりなる基板と、窒化物半導体基板を用いた素子とを提供することにある。

【0006】

【課題を解決するための手段】

まず、本発明の窒化物半導体基板は、窒化物半導体と異なる材料よりなる基板の上に、窒化物半導体を  $100 \mu\text{m}$  以上の膜厚で成長させ、前記基板を除去することによって得られた窒化物半導体基板であり、該窒化物半導体基板の表面の凹凸差が  $\pm 1 \mu\text{m}$  以下になるまで表面研磨したことを特徴とする。前記表面の凹凸差が  $\pm 0.5 \mu\text{m}$  以下であることが好ましい。

また成長させる窒化物半導体は n 型不純物をドーブしない (ノンドープ) GaN か、若しくは n 型不純物を  $1 \times 10^{19} / \text{cm}^3$  以下の範囲で含む GaN を成長させることが望まし

い。

【0007】

前記窒化物半導体基板は n 型不純物がドーピングされていることを特徴とする。前記 n 型不純物は Si、Ge、Sn、S、O から成る群から選ばれる少なくとも 1 つであることが好ましい。

【0008】

本発明では窒化物半導体基板の成長法がハイドライド気相成長法 (HVPE) であることが好ましい。HVPE 法とは、ガリウム、アルミニウム、インジウム等の 3 族元素蒸気と、塩化水素等のハロゲンガスとを反応させて、3 族元素の塩化物、臭化物、ヨウ化物等のハロゲン化物を得て、そのハロゲン化物をアンモニア、ヒドラジン等の N 源と高温で反応させて窒化物半導体を得る方法である。塩化ガリウムとアンモニアとを反応させて GaN を得る方法が、従来より良く用いられる。また基板を MOVPE 法で成長させることもできるが、HVPE 法に比較して長時間を要する。

【0009】

本発明の基板の製法は、成長された窒化物半導体基板は、2 軸結晶法による X 線ロックン グカーブの半値幅 (Full Width at Half Maximum、以下、単に半値幅という。) が 5 分以下であることを特徴とする。より好ましくは前記半値幅が 3 分以下である。半値幅が 5 分よりも大きいと、窒化物半導体基板の上に成長する新規な窒化物半導体の結晶性が悪くなる。さらに、本発明の基板の製法は、窒化物半導体と異なる材料よりなる前記基板は、研磨によって除去されることが好ましい。溶解 (ウエットエッチング)、ドライエッチング等の手段では、基板を除去しにくく、窒化物半導体基板にダメージを与えやすい傾向にある。

【0010】

本発明の窒化物半導体素子は、前記窒化物半導体基板の研磨面上に成長されたことを特徴とする。前記窒化物半導体素子は、発光素子、受光素子、太陽電池、又は電子デバイスから成る群から選ばれることが好ましい。

【0011】

前記窒化物半導体素子は n 電極を前記窒化物半導体基板の裏面の 80% 以上の面積に有することを特徴とする。

【0012】

前記窒化物半導体素子は前記窒化物半導体基板上に n 型窒化物半導体層、活性層、p 型窒化物半導体層を順に積層したものであって、前記 n 型窒化物半導体層には n 型超格子層を有することを特徴とする。

【0013】

前記窒化物半導体素子は前記窒化物半導体基板上に n 型窒化物半導体層、活性層、p 型窒化物半導体層を順に積層したものであって、前記 p 型窒化物半導体層には p 型超格子層を有することを特徴とする。

【0014】

【発明の実施の形態】

本発明の窒化物半導体基板の製造方法において、異種材料よりなる基板の上に窒化物半導体を成長させるには、ハイドライド気相成長法 (HVPE)、有機金属気相成長法 (MOVPE)、分子線気相成長法 (MBE) 等の気相成長法があるが、 $100\mu\text{m}$  以上の膜厚で成長させるには、好ましくは HVPE 法を用いる。MOVPE、MBE 法を用いても良いが、 $100\mu\text{m}$  以上の膜厚で成長させるには 10 時間以上の長時間を要するため、工業的にはあまり好ましくない。

【0015】

窒化物半導体基板の製造方法において重要なことは、 $1\text{mm}$  以上の異種基板の上に窒化物半導体を成長させることである。窒化物半導体は通常  $800^\circ\text{C}$  以上、好ましくは  $1000^\circ\text{C}$  以上の温度で成長される。このような高温で窒化物半導体を成長させると、成長中に異種基板が反ってしまう。反った異種基板の上に  $100\mu\text{m}$  以上の厚膜で窒化物半導体を

成長させると、成長中に窒化物半導体にクラックが入ってしまい、結晶性の良い窒化物半導体を成長させることができない。しかしながら、1 mm以上の異種基板を使用することにより、高温においても異種基板が反りにくくなるため、結晶性が良いままで厚膜の窒化物半導体膜を成長できる。基板の厚さは1 mm以上、好ましくは1.2 mm以上、さらに好ましくは1.5 mm以上の基板を用いる。上限としては特に限定するものではないが、3 mm以下のものを用いることが望ましい。3 mmよりも厚いと、後で基板を除去するのに長時間を要する。基板としては、サファイア、スピネル、ZnO、GaAs、Si、GaP、SiC等が挙げられるが、先にも述べたように、サファイア、スピネルは高温に対しても非常に安定であり、窒化物半導体を厚膜で成長させるのに適している。異種基板の上に成長させる窒化物半導体は100  $\mu$ m以上で、できるだけ厚く成長させることが望ましい。好ましくは150  $\mu$ m以上、さらに好ましくは200  $\mu$ m以上の膜厚で成長させる。上限については500  $\mu$ m以下が望ましい。500  $\mu$ m以上で成長させると窒化物半導体中に再びクラックが入りやすくなって結晶性が悪くなる傾向にある。

#### 【0016】

さらに、異種基板の上に窒化物半導体層を成長させる前に、窒化物半導体層の成長温度よりも低温で0.3  $\mu$ m以下の膜厚を有するバッファ層を成長させると結晶性の良い窒化物半導体が成長できる。バッファ層としては例えばGaN、AlGaN、AlN、InGaN等を成長させるが、好ましくはGaN、Al組成Yが0.5以下の $Al_YGa_{1-Y}N$ 、またIn組成Xが0.3以下の $In_XGa_{1-X}N$ を成長させることが望ましい。成長温度は窒化物半導体の成長温度よりも低温で成長させ、例えば200℃～900℃の範囲でバッファ層を成長させることができる。

#### 【0017】

異種基板の上に成長させる窒化物半導体は、ノンドープのGaN、若しくはn型不純物を $1 \times 10^{19}/\text{cm}^3$ 以下の範囲で含むGaNを成長させると、最も結晶性の良い窒化物半導体基板を作製できる。n型不純物濃度は $1 \times 10^{19}/\text{cm}^3$ を超えると結晶性が悪くなり、窒化物半導体のX線ロッキングカーブの半値幅も長くなるし、また結晶中にクラックが入りやすくなる。但し、HVPE法のような反応容器に石英ガラスを用いる方法では、石英からの不純物としてSi、O等のn型不純物が混入する。しかしながら、不純物の混入をできるだけ少なくして前記範囲に抑えることにより結晶性の良い窒化物半導体基板が作製できる。一方、MOVPE法を用いて意図的にドープする不純物としては第4族元素、例えばSi、Ge、Sn、S等が挙げられる。

#### 【0018】

さらに、窒化物半導体のX線ロッキングカーブの半値幅が5分以内、さらに望ましくは3分以内の窒化物半導体結晶を成長させることにより、異種基板を除去する工程においても、窒化物半導体層にダメージを与えにくく、100  $\mu$ m以上の窒化物半導体が良好な結晶性を保ったまま、新規な窒化物半導体素子を作製する際の基板として用いることができる。

#### 【0019】

本発明の基板の製造方法では、窒化物半導体と異なる材料よりなる基板を、研磨によって除去することが望ましい。研磨にはダイヤモンド、SiC等の微粉末を研磨剤に用いる。一方、ドライエッチング、ウェットエッチング等の、エッチング手段では窒化物半導体基板にダメージを与えやすい傾向にあり、研磨に比較してさらに長時間を要するため、あまり好ましくはない。

#### 【0020】

一方、本発明の窒化物半導体素子の製造方法は、窒化物半導体基板を用いた素子の製造方法であり、本発明の素子の製造方法では異種基板の厚さは特に限定しない。重要なことは、基板を除去した後に、窒化物半導体基板の表面の凹凸差が $\pm 1 \mu$ m以下になるまで窒化物半導体基板表面を研磨する第3の工程である。凹凸差が $\pm 1 \mu$ m以上あると、窒化物半導体基板の上に成長させる窒化物半導体の膜質が不安定になりやすく、結晶性の良い素子が作製できない。

## 【0021】

次に、本発明の素子の製造方法の第1の工程において、異種基板の上に窒化物半導体を $100\mu\text{m}$ 以上成長させるには、HVPE、MOVPE、MBE等があるが、好ましくはHVPE、MOVPEを用い、最も好ましくはHVPE法で成長させる。HVPE法であれば、迅速に厚膜の窒化物半導体基板が成長させやすい。また前記第4の工程において、窒化物半導体基板の上に素子を作製するには、HVPE方を用いても良いが、最も好ましくはMOVPE法を用いる。MOVPEは窒化物半導体の膜厚を制御しやすく、さらに、AlGaNのようなAlを含む窒化物半導体を成長させる際に、HVPE方に比べてクラックが入りにくくできる。さらにHVPE方ではAlの塩化物はHVPE装置に使用される石英ガラスと激しく反応するため、Alを含む窒化物半導体を成長させることは困難である。そのため、第1の工程の窒化物半導体基板はAlを含まないGaNよりなる基板を作製することが最も望ましい。

## 【0022】

さらに、本発明の製造方法において、好ましくは窒化物半導体の成長面を、窒化物半導体と異なる材料よりなる基板が接していた窒化物半導体基板の研磨面とする。この際、異種基板の上に成長させてあるバッファ層は研磨によって除去し、バッファ層を除去した窒化物半導体基板の研磨面を成長面とすることは当然である。なお研磨後の窒化物半導体基板のX線ロッキングカーブの半値幅は5分以下、さらに好ましくは3分以下であることが望ましい。窒化物半導体の結晶性を評価するこの半値幅は、予め第1の工程において窒化物半導体基板を成長させた時にほとんど決まっている。しかしながら、異種基板に近い側に成長させた側の窒化物半導体の結晶性は、異種基板に遠くに成長させた窒化物半導体よりもクラックが少なく、さらに結晶欠陥が少ない傾向にある。そのため、異種基板を除去した側の方の窒化物半導体の結晶が良くなるため、その側を新たな窒化物半導体素子の成長面とすることにより結晶性の良い窒化物半導体素子が得られる。

## 【0023】

## 【実施例】

以下、本発明の窒化物半導体基板の製造方法を説明する。

## 【実施例1】 (HVPE)

石英よりなる反応容器管の内部にGaメタルを入れた石英ボートを設置する。さらに石英ボートから離れた位置に、斜めに傾けた厚さ $1.2\text{mm}$ 、2インチφのサファイア基板を設置する。なお、反応容器内のGaメタルに接近した位置にはハロゲンガス供給管が設けられ、ハロゲンガス供給間とは別に、サファイア基板に接近した位置にはN源供給管が設けられている。

## 【0024】

ハロゲンガス管より窒素キャリアガスと主に、HClガスをガスを導入する。この際Gaメタルのボートは $900^{\circ}\text{C}$ に加熱し、サファイア基板側は $510^{\circ}\text{C}$ に加熱してある。そして、HClガスとGaを反応させてGaCl<sub>3</sub>を生成させ、サファイア基板側に接近したN源供給管からはアンモニアガスを同じく窒素キャリアガスと主に供給し、サファイア基板上にGaNよりなるバッファ層を300オングストロームの膜厚で成長させる。

## 【0025】

バッファ層成長後、サファイア基板側の温度を $1050^{\circ}\text{C}$ に上昇させ、成長速度 $0.5\mu\text{m}/\text{分}$ で10時間成長を行い、厚さ $300\mu\text{m}$ のGaNを成長させる。

## 【0026】

成長後、ウェーハを反応容器から取り出し、さらにGaNウェーハをGaNの分解圧以上に加圧した密閉容器中で、 $1100^{\circ}\text{C}$ で5分間アニーリングする。このように、GaNの分解圧以上に加圧した窒素雰囲気中でアニーリングすることによりGaNの結晶欠陥が少なくなって結晶性が良くなる傾向にある。

## 【0027】

アニーリング後、ウェーハを研磨装置に移送し、ダイヤモンド研磨剤を用いて、サファイア基板側をラッピングし、サファイア基板とバッファ層を除去する。続いて、さらに細

かいダイヤモンド研磨剤を用いてポリシングして、厚さ $295\mu\text{m}$ のGaN基板を得る。

【0028】

以上のようにして得られた窒化物半導体基板を研磨装置より取り出し、研磨側の窒化物半導体基板の凹凸を測定したところ、 $\pm 0.5\mu\text{m}$ 以内であった。さらに研磨面からX線ロックアップカーブの半値幅を測定するとおよそ3分であり、結晶性の良いGaN基板が得られていることが判明した。なおこのGaN基板には不純物としてSiが $5 \times 10^{17}/\text{cm}^3$ 以下、Oが $1 \times 10^{16}/\text{cm}^3$ 以下含まれていることがSIMSにより判明した。これは原料ガスのHCl、及び石英反応容器から混入したものと推察される。

【0029】

[実施例2] (MOVPE)

特開平4-164895号公報、第2図に示すMOVPE装置を用い、厚さ $1.0\text{mm}$ 、2インチφのサファイア(C面)基板を、この装置の反応容器内にセットし、容器内を水素で十分置換した後、水素を流しながら、基板の温度を $1050^\circ\text{C}$ まで上昇させ、基板のクリーニングを行う。

【0030】

続いて、温度を $510^\circ\text{C}$ まで下げ、キャリアガスに水素、原料ガスにアンモニアとTMG(トリメチルガリウム)とを用い、基板上にGaNよりなるバッファ層を200オングストロームの膜厚で成長させる。

【0031】

次に、温度を $1050^\circ\text{C}$ まで上昇させ、原料ガスにTMG、アンモニアを用い、成長速度 $0.1\mu\text{m}/\text{分}$ で、24時間成長させ、膜厚 $144\mu\text{m}$ のノンドープGaN層を成長させる。

【0032】

成長後、ウェーハを反応容器から取り出し、実施例1と同様にして、GaNウェーハをGaNの分解以上に加圧した密閉容器中で、 $1100^\circ\text{C}$ で5分間アニーリングした後、サファイア基板側をラッピング、ポリシングして、厚さ $140\mu\text{m}$ のGaN基板を得る。さらに、研磨側の窒化物半導体基板の凹凸を測定したところ、 $\pm 0.5\mu\text{m}$ 以内であった。さらに研磨面からX線ロックアップカーブの半値幅を測定するとおよそ2分であり、結晶性の良いGaN基板が得られていることが判明した。

【0033】

[比較例1]

実施例1において、厚さ $900\mu\text{m}$ のサファイア基板を用いる他は、同様にしてGaNを成長させたところ、研磨側のGaN層のX線ロックアップカーブの半値幅が8分であり、実施例1に比較して、GaN基板の結晶性が倍以上劣っていることが判明した。さらに、 $800\mu\text{m}$ のものは成長中に基板が割れてしまった。

【0034】

次に、以下の実施例は本発明の素子について説明する。

[実施例3]

実施例1で得られたGaN基板を特開平4-164895号公報、第2図に示すMOVPE装置を用い、この装置の反応容器内にセットし、 $1050^\circ\text{C}$ にて、Siを $1 \times 10^{19}/\text{cm}^3$ ドープしたn型GaN層を $5\mu\text{m}$ の膜厚で成長させる。なお、n型GaNの成長面は、基板研磨面であることは言うまでもない。

【0035】

次に、n型GaNの上に、Siを $1 \times 10^{19}/\text{cm}^3$ ドープしたn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ よりなる第1の層を20オングストロームの膜厚で成長させ、続いてノンドープのGaNよりなる第2の層を20オングストロームの膜厚で成長させ、総膜厚 $0.4\mu\text{m}$ の超格子よりなるn側クラッド層を成長させる。このようにn型窒化物半導体層を含む超格子層を活性層を成長させる前に成長させることにより窒化物半導体素子の出力が飛躍的に向上する。

【0036】

次に800℃で、 $\text{In}_{0.4}\text{Ga}_{0.6}\text{N}$ よりなる膜厚30オングストロームの単一量子井戸構造よりなる活性層を成長させる。

【0037】

次に、活性層の上にMgを $1 \times 10^{20}/\text{cm}^3$ ドープしたp型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ よりなる第1の層を20オングストロームの膜厚で成長させ、続いてMgを $1 \times 10^{19}/\text{cm}^3$ ドープしたp型GaNよりなる第2の層を20オングストロームの膜厚で成長させ、総膜厚0.4μmの超格子よりなるp側クラッド層を成長させる。このようにp型窒化物半導体層を含む超格子層を活性層を成長させた後に成長させることにより窒化物半導体素子の出力が飛躍的に向上する。なお超格子層はn型層側、p型層側のいずれか一方、若しくは両方の層に存在させることができる。

【0038】

次にこのp側クラッド層5の上にMgを $1 \times 10^{20}/\text{cm}^3$ ドープしたp型GaN層を0.5μmの膜厚で成長させる。

【0039】

反応終了後、温度を室温まで下げ、さらに窒素雰囲気中、ウェーハを反応容器内において、700℃でアニーリングを行い、p型層をさらに低抵抗化する。

【0040】

アニーリング後、ウェーハを反応容器から取り出し、最上層のp型GaN層にNiとAuとを含む正電極、基板裏面側にWとSiとAuよりなる負電極とを設けた後、350μm角のチップに分離してLED素子としたところ、If20mAにおいて520nmの緑色発光を示し、Vfは3.2V、出力は8mWもあった。

【0041】

[比較例2]

実施例1で得られたGaN基板の研磨面の凹凸が±1.5μmのものをを用いる他は実施例3と同様にしてLED素子を作製したところ、同じくIf20mAにおいて、Vf3.2Vであったが、出力が3mWでしかなかった。これは基板凹凸が直接窒化物半導体の結晶性に影響したものであると推定する。

【0042】

[実施例4]

図1は実施例4により得られたレーザ素子の構造を示す模式的な断面図であり、レーザ光の共振方向に垂直な方向で素子を切断した際の図を示している。以下、この図面を元に本発明のレーザ素子について説明する。

【0043】

実施例1で得られたGaN基板21を、特開平4-164895号公報、第2図に示すMOVPE装置の反応容器内にセットし、容器内を水素で十分置換した後、水素を流しながら、基板の温度を1050℃まで上昇させ、基板のクリーニングを行う。

【0044】

続いて、温度を510℃まで下げ、キャリアガスに水素、原料ガスにアンモニアとTMGを用い、基板21上にGaNよりなるバッファ層22を約200オングストロームの膜厚で成長させる。バッファ層22はAlN、GaN、AlGaN、InGaN等が900℃以下の温度で、膜厚数十オングストローム～数百オングストロームで形成できる。このバッファ層は窒化物半導体の成長方法によっては省略することも可能である。

【0045】

(n側コンタクト層23)

バッファ層22成長後、TMGのみ止めて、温度を1050℃まで上昇させる。1050℃になったら、TMAとアンモニア、シランガスを用い、Siを $1 \times 10^{19}/\text{cm}^3$ ドープしたn型GaNよりなるn側コンタクト層4μmの膜厚で成長させる。

【0046】

(クラック防止層24)

次に、温度を800℃にして、原料ガスにTMG、TMI（トリメチルインジウム）、

アンモニア、不純物ガスにシランガスを用い、 $\text{Si}$ を $5 \times 10^{18}/\text{cm}^3$ ドープした $\text{In}_{0.1}\text{Ga}_{0.9}\text{N}$ よりなるクラック防止層24を500オングストロームの膜厚で成長させる。このクラック防止層24は $\text{In}$ を含む $n$ 型の窒化物半導体、好ましくは $\text{InGaN}$ で成長させることにより、 $\text{Al}$ を含む窒化物半導体層中にクラックが入るのを防止することができる。なおこのクラック防止層は100オングストローム以上、 $0.5 \mu\text{m}$ 以下の膜厚で成長させることが好ましい。100オングストロームよりも薄いと前記のようにクラック防止として作用しにくく、 $0.5 \mu\text{m}$ よりも厚いと、結晶自体が黒変する傾向にある。なお、このクラック防止層24は、省略することもできる。

#### 【0047】

( $n$ 側クラッド層25)

次に、温度を $1050^\circ\text{C}$ にして、原料ガスに $\text{TMA}$ （トリメチルアルミニウム）、 $\text{TMG}$ 、 $\text{NH}_3$ 、 $\text{SiH}_4$ を用い、 $\text{Si}$ を $1 \times 10^{19}/\text{cm}^3$ ドープした $n$ 型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ よりなる第1層を20オングストロームの膜厚で成長させ、続いてシランガス、 $\text{TMA}$ を止め、ノンドープの $\text{GaN}$ よりなる第2層を20オングストロームの膜厚で成長させる。そして第1層+第2層+第1層+第2層+・・・というように超格子層を構成し、それぞれ第1層を100層、第2層を100層交互に積層し、総膜厚 $0.4 \mu\text{m}$ の超格子よりなる $n$ 側クラッド層25を形成する。このように単一膜厚が100オングストローム以下、さらに好ましくは70オングストローム以下、最も好ましくは40オングストローム以下の互いに組成が異なる窒化物半導体を積層した超格子層は、その単一層が弾性臨界膜厚以下となっているため、結晶性が非常に良くなる。そのためクラックの入っていない非常に結晶性の良い膜が成長できるためレーザ素子の、 $n$ 型窒化物半導体層側及び $p$ 型窒化物半導体層側の少なくとも一方の層側に形成することによりレーザ素子の寿命が飛躍的に良くなる。なお、超格子層はキャリア閉じ込め、若しくは光閉じ込め層として作用する層に形成することが最も望ましい。

#### 【0048】

( $n$ 側光ガイド層26)

続いて、 $1050^\circ\text{C}$ で $\text{Si}$ を $5 \times 10^{18}/\text{cm}^3$ ドープした $n$ 型 $\text{GaN}$ よりなる $n$ 側光ガイド層26を $0.1 \mu\text{m}$ の膜厚で成長させる。この $n$ 側光ガイド層26は、活性層の光ガイド層として作用し、 $\text{GaN}$ 、 $\text{InGaN}$ を成長させることが望ましく、通常100オングストローム～ $5 \mu\text{m}$ 、さらに好ましくは200オングストローム～ $1 \mu\text{m}$ の膜厚で成長させることが望ましい。なお、この光ガイド層26も超格子層にすることができる。 $n$ 側光ガイド層15、 $n$ 側クラッド層14を超格子層にする場合、超格子層を構成する窒化物半導体層の平均的なバンドギャップエネルギーは活性層よりも大きくする。超格子層とする場合には、第1の層及び第2の層の少なくとも一方に $n$ 型不純物をドープしてもよいし、またノンドープでも良い。

#### 【0049】

(活性層27)

次に、原料ガスに $\text{TMG}$ 、 $\text{TMI}$ 、アンモニア、シランガスを用いて活性層16を成長させる。活性層16は温度を $800^\circ\text{C}$ に保持して、まず $\text{Si}$ を $8 \times 10^{18}/\text{cm}^3$ でドープした $\text{In}_{0.2}\text{Ga}_{0.8}\text{N}$ よりなる井戸層を25オングストロームの膜厚で成長させる。次に $\text{TMI}$ のモル比を変化させるのみで同一温度で、 $\text{Si}$ を $8 \times 10^{18}/\text{cm}^3$ ドープした $\text{In}_{0.01}\text{Ga}_{0.99}\text{N}$ よりなる障壁層を50オングストロームの膜厚で成長させる。この操作を2回繰り返し、最後に井戸層を積層した総膜厚175オングストロームの多重量子井戸構造(MQW)の活性層27を成長させる。活性層にドープする不純物は本実施例のように井戸層、障壁層両方にドープしても良く、いずれか一方にドープしてもよい。なお $n$ 型不純物をドープすると閾値が低下する傾向にある。なお活性層を多重量子井戸構造とする場合には必ずバンドギャップエネルギーの小さい井戸層と、井戸層よりもバンドギャップエネルギーが小さい障壁層とを積層するため、超格子層とは区別する。

#### 【0050】

(キャップ層28)

次に、温度を1050℃に上げ、TMG、TMA、アンモニア、 $Cp_2Mg$ （シクロペンタジエニルマグネシウム）を用い、活性層27よりもバンドギャップエネルギーが大きく、 $Mg$ を $1 \times 10^{20}/cm^3$ ドープしたp型 $Al_{0.1}Ga_{0.9}N$ よりなるキャップ層28を300オングストロームの膜厚で成長させる。このキャップ層28はp型不純物をドープしたが、膜厚が薄いため、n型不純物をドープしてキャリアが補償されたi型としても良く、最も好ましくはp型不純物をドープした層とする。キャップ層28の膜厚は0.1  $\mu m$ 以下、さらに好ましくは500オングストローム以下、最も好ましくは300オングストローム以下に調整する。0.1  $\mu m$ より厚い膜厚で成長させると、キャップ層28中にクラックが入りやすくなり、結晶性の良い窒化物半導体層が成長しにくいからである。またキャリアがこのエネルギーバリアをトンネル効果により通過できなくなる。また、Alの組成比が大きい $AlGa$ N程薄く形成するとLD素子は発振しやすくなる。例えば、Y値が0.2以上の $Al_YGa_{1-Y}N$ であれば500オングストローム以下に調整することが望ましい。キャップ層28の膜厚の下限は特に限定しないが、10オングストローム以上の膜厚で形成することが望ましい。

#### 【0051】

（p側光ガイド層29）

続いて1050℃で、バンドギャップエネルギーがキャップ層28よりも小さい、 $Mg$ を $1 \times 10^{20}/cm^3$ ドープしたp型 $GaN$ よりなるp側光ガイド層29を0.1  $\mu m$ の膜厚で成長させる。この層は、活性層の光ガイド層として作用し、n側光ガイド層15と同じく $GaN$ 、 $InGa$ Nで成長させることが望ましい。また、この層はp側クラッド層を成長させる際のバッファ層としても作用し、100オングストローム～5  $\mu m$ 、さらに好ましくは200オングストローム～1  $\mu m$ の膜厚で成長させることにより、好ましい光ガイド層として作用する。このp側光ガイド層は通常は $Mg$ 等のp型不純物をドープしてp型の導電型とするが、特に不純物をドープしなくても良い。なお、このp側光ガイド層を超格子層とすることもできる。超格子層とする場合には第1の層及び第2の層の少なくとも一方にp型不純物をドープしてもよいし、またp型不純物をドープしないノンドープでも良い。

#### 【0052】

（p型超格子層＝p側クラッド層30）

続いて、1050℃で $Mg$ を $1 \times 10^{20}/cm^3$ ドープしたp型 $Al_{0.2}Ga_{0.8}N$ よりなる第1の層を20オングストロームの膜厚で成長させ、続いてTMAのみを止め、 $Mg$ を $1 \times 10^{20}/cm^3$ ドープしたp型 $GaN$ よりなる第2の層を20オングストロームの膜厚で成長させる。そしてこの操作をそれぞれ100回繰り返す、総膜厚0.4  $\mu m$ の超格子層よりなるp側クラッド層30を形成する。この層はn側クラッド層25と同じくキャリア閉じ込め層として作用し、特にp型層の抵抗率を低下させるための層として作用する。このp側クラッド層の膜厚も特に限定しないが、100オングストローム以上、2  $\mu m$ 以下、さらに好ましくは500オングストローム以上、1  $\mu m$ 以下で成長させることが望ましい。

#### 【0053】

本実施例のように $InGa$ Nよりなる量子構造の井戸層を有する活性層の場合、その活性層27に接して、膜厚0.1  $\mu m$ 以下のAlを含む窒化物半導体よりなるp型キャップ層28を設け、そのp型キャップ層28よりも活性層から離れた位置に、p型キャップ層28よりもバンドギャップエネルギーが小さいp側光ガイド層29を設け、そのp側光ガイド層29よりも活性層から離れた位置に、p側光ガイド層29よりもバンドギャップが大きいAlを含む窒化物半導体を含む超格子層よりなるp側クラッド層30を設けることは非常に好ましい。しかもp型キャップ層17の膜厚を0.1  $\mu m$ 以下と薄く設定してあるため、キャリアのバリアとして作用することはなく、p層から注入された正孔が、トンネル効果によりp型キャップ層17を通り抜けることができ、活性層で効率よく再結合し、LDの出力が向上する。つまり、注入されたキャリアは、p型キャップ層17のバンドギャップエネルギーが大きいため、半導体素子の温度が上昇しても、あるいは注入電流



密度が増えても、キャリアは活性層をオーバーフローせず、p型キャップ層17で阻止されるため、キャリアが活性層に貯まり、効率よく発光することが可能となる。従って、半導体素子が温度上昇しても発光効率が低下することが少ないので、閾値電流の低いLDを実現することができる。

#### 【0054】

(p側コンタクト層31)

最後に、1050℃で、p側クラッド層30の上に、Mgを $2 \times 10^{20}/\text{cm}^3$ ドープしたp型GaNよりなるp側コンタクト層31を150オングストロームの膜厚で成長させる。p側コンタクト層31はp型の $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$  ( $0 \leq x, 0 \leq y, x+y \leq 1$ )で構成することができ、好ましくはMgをドープしたGaNとすれば、p電極32と最も好ましいオーミック接触が得られる。なお、p側コンタクト層31も超格子層とすることもできる。超格子層とする場合には、特にバンドギャップエネルギーが異なる第1の層と第2の層とを積層し、第1+第2+第1+第2+・・・というように積層していき、最後にバンドギャップエネルギーが小さい方の層が露出するようにすると、p電極32と好ましいオーミック接触が得られる。p電極32の材料としては、例えばNi、Pd、Ni/Au等を挙げることができる。また本発明の素子ではp型 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ を含むp側クラッド層30に接して、バンドギャップエネルギーの小さい窒化物半導体をp側コンタクト層31として、その膜厚を400オングストローム以下と薄くしているために、実質的にp側コンタクト層30のキャリア濃度が高くなりp電極32と好ましいオーミックが得られて、素子の閾値電流、電圧が低下する。

#### 【0055】

反応終了後、温度を室温まで下げ、さらに窒素雰囲気中、ウェーハを反応容器内において、700℃でアニーリングを行い、p型層をさらに低抵抗化する。

#### 【0056】

アニーリング後、ウェーハを反応容器から取り出し、図1に示すように、RIE装置により最上層のp側コンタクト層31と、p側クラッド層30とをエッチングして、4 $\mu\text{m}$ のストライプ幅を有するリッジ形状とする。このように、活性層よりも上部にあるp側の層をストライプ状のリッジ形状とすることにより、活性層の発光がストライプリッジの下に集中するようになって閾値が低下する。特に活性層よりも上にあるAlを含むp型窒化物半導体層以上の層をリッジ形状とすることが好ましい。

#### 【0057】

次にp側コンタクト層31のリッジ最表面にNiとAuよりなるp電極32をストライプ状に形成する。一方、TiとAlよりなるn電極33を基板21の裏面のほぼ全面に形成する。なおほぼ全面とは80%以上の面積をいう。

#### 【0058】

電極形成後、電極裏面側をスクライブして、ストライプ状のp電極32に垂直な方向でバー状に劈開し、劈開面に共振器を作製する。なお劈開面は窒化物半導体のM面(101-0)とする。さらに、共振器面に $\text{SiO}_2$ と $\text{TiO}_2$ よりなる誘電体超格子を形成し、最後にp電極に平行な方向で、バーを切断してレーザチップとした。次にチップをフェースアップ(基板とヒートシンクとが対向した状態)でヒートシンクに設置し、それぞれの電極をワイヤーボンディングして、室温でレーザ発振を試みたところ、室温において、閾値電流密度2.5kA/cm<sup>2</sup>、閾値電圧4.2Vで、発振波長405nmの連続発振が確認され、100時間以上の寿命を示した。

#### 【0059】

#### 【発明の効果】

以上説明したように、本発明によると、従来では作製できなかったGaN基板ができるようになるので、GaN素子が従来のように絶縁性基板を使用しなくても良くなる。そのため同一面側に正電極と負電極とを取り出すフリップチップ形式ではなくて、GaNを基板にしたデバイスのように基板側から電極が取り出せる構造となる。この窒化物半導体素子を発光デバイスにした際には、他の基板側から電極が取り出される構造のデバイスと

同じ構造にできるため、端面発光型ディスプレイのような高精細画面も実現できる。またレーザ素子のような高温デバイスに使用した場合には、素子の結晶性、放熱性が良くなり素子寿命が飛躍的に向上する。

【図面の簡単な説明】

【図1】 本発明の一実施例に係るレーザ素子の構造を示す模式断面図。

【符号の説明】

- 21・・・GaN基板
- 22・・・バッファ層
- 23・・・n側コンタクト層
- 24・・・クラック防止層
- 25・・・n側クラッド層（超格子層）
- 26・・・n側光ガイド層
- 27・・・活性層
- 28・・・キャップ層
- 29・・・p側光ガイド層
- 30・・・p側クラッド層（超格子層）
- 31・・・p側コンタクト層
- 32・・・p電極
- 33・・・n電極